

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-218383**

(43)Date of publication of application : **31.07.2003**

---

(51)Int.Cl.

H01L 33/00  
H01L 21/3065

---

(21)Application number : **2002-010571**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **18.01.2002**

(72)Inventor : **SUGIYAMA HITOSHI**

**OHASHI KENICHI**

**YAMASHITA ATSUKO**

**WASHITSUKA SHOICHI**

**AKAIKE YASUHIKO**

**YOSHITAKE HARUJI**

**EGASHIRA KATSU**

**ASAKAWA KOUJI**

**FUJIMOTO AKIRA**

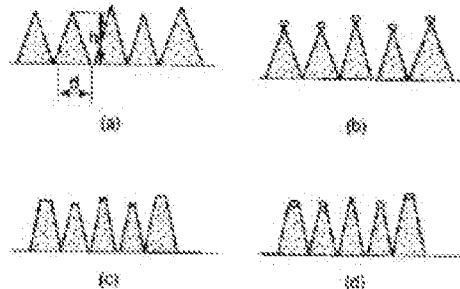
---

## **(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT AND ITS MANUFACTURING METHOD**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To improve light extraction efficiency by preventing light extracting efficiently from decreasing under the influence of total reflection of light on a light extraction surface.

**SOLUTION:** A manufacturing method for a semiconductor light emitting element which extracts light from the surface on the opposite side from a compound semiconductor substrate by stacking a semiconductor multi-layered film including a light emission layer on the compound semiconductor substrate comprises: performing the phase separation of a block copolymer composed of polystyrene (PS) and polymethyl methacrylate (PMMA) by annealing a mask material layer 31 after forming the mask material layer 31 on a current diffusion layer 15 as the top layer of the semiconductor multi-layered film by applying a solution in which the block copolymer is dissolved; forming a pattern 32 of PS by etching using RIE using CF<sub>4</sub>; and then forming fine unevenness on the light extraction surface by etching a current diffusion layer 15 on the light extraction surface by using the pattern 32 of PS as a mask.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-218383

(P2003-218383A)

(43)公開日 平成15年7月31日 (2003.7.31)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 33/00  
21/3065

識別記号

F I  
H 0 1 L 33/00  
21/302

テ-マコ-ト<sup>\*</sup>(参考)  
A 5 F 0 0 4  
N 5 F 0 4 1

審査請求 未請求 請求項の数19 ○L (全 11 頁)

(21)出願番号 特願2002-10571(P2002-10571)

(22)出願日 平成14年1月18日 (2002.1.18)

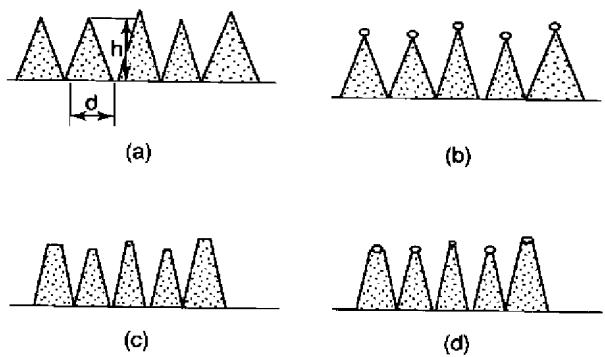
(71)出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(72)発明者 杉山 仁  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内  
(74)代理人 100058479  
弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体発光素子及びその製造方法

(57)【要約】

【課題】 光取り出し面における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかる。

【解決手段】 化合物半導体基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子の製造方法において、半導体多層膜の最上層である電流拡散層15上に、ポリスチレン(PS)とポリメタクリル酸メチル(PMMA)で構成されたブロックコポリマーを溶解した溶液を塗布してマスク材料層31を形成した後、マスク材料層31に対してアニール処理を施すことによりブロックコポリマーを相分離し、次いでCF<sub>4</sub>を用いたRIEによりエッチングすることによりPSのパターン32を形成し、かかる後PSのパターン32をマスクにして光取り出し面の電流拡散層15をエッチングすることにより、該光取り出し面に微小凹凸を形成する。



## 【特許請求の範囲】

【請求項1】基板上に発光層を含む半導体多層膜を積層してなる半導体発光素子において、

前記発光層からの光を外部に取り出すための光取り出し面上に大きさの異なる微小凹凸が形成され、該凹凸における凸部は錐体形状であり、該凸部のほぼ全体は、高さ $h$ が100nm以上、底辺の長さ $d$ が10～500nmの分布となっていることを特徴とする半導体発光素子。

【請求項2】基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子において、

前記半導体多層膜の光取り出し面上に大きさの異なる微小凹凸が形成され、該凹凸における凸部は錐体形状であり、該凸部のほぼ全体は、高さ $h$ が100nm以上、底辺の長さ $d$ が10～500nmの分布となっていることを特徴とする半導体発光素子。

【請求項3】前記凸部は、頂角が20～80度の三角錐形状であることを特徴とする請求項1又は2記載の半導体発光素子。

【請求項4】前記凸部は、頂部に前記光取り出し面の材料とは異なる材料からなる微小透明部を有することを特徴とする請求項1～3の何れかに記載の半導体発光素子。

【請求項5】前記凸部は、頂部が平坦に加工されていることを特徴とする1～3の何れかに記載の半導体発光素子。

【請求項6】前記凸部は頂部が平坦に加工され、該頂部平坦面上に前記光取り出し面の材料とは異なる材料からなる微小透明部を有することを特徴とする請求項1～3の何れかに記載の半導体発光素子。

【請求項7】前記光取り出し面は電流拡散層であり、前記凹凸は電流拡散層上の電極及び配線を形成した部分以外の面に形成されていることを特徴とする請求項2記載の半導体発光素子。

【請求項8】前記光取り出し面の電極及び配線を形成した部分以外の面に透明な酸化物膜又は窒化物膜が形成され、前記凹凸は前記酸化物膜又は窒化物膜に形成されていることを特徴とする請求項1又は2記載の半導体発光素子。

【請求項9】基板上に発光層を含む半導体多層膜を積層してなる半導体発光素子の製造方法において、前記発光層からの光を外部に取り出すための光取り出し面上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離したマスク材料層を用いて前記光取り出し面をエッチングすることにより、該光取り出し面上に微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項10】基板上に発光層を含む半導体多層膜を積

層してなる半導体発光素子の製造方法において、前記発光層からの光を外部に取り出すための光取り出し面上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離した状態に応じて前記マスク材料層にパターンを形成する工程と、前記マスク材料層に形成されたパターンをマスクにして前記光取り出し面上に微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項11】基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子の製造方法において、

前記半導体多層膜の光取り出し面上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離した状態に応じて前記マスク材料層にパターンを形成する工程と、前記マスク材料層に形成されたパターンをマスクにして前記光取り出し面上に微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項12】基板上に発光層を含む半導体多層膜を積層してなる半導体発光素子の製造方法において、

前記発光層からの光を外部に取り出すための光取り出し面上に酸化物又は窒化物からなる透明膜を形成する工程と、前記透明膜上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離した状態に応じて前記マスク材料層にパターンを形成する工程と、前記マスク材料層に形成されたパターンをマスクにして前記透明膜をエッチングすることにより、該透明膜に微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項13】基板上に発光層を含む半導体多層膜を積層し、基板と反対側の面から光を取り出す半導体発光素子の製造方法において、

前記半導体多層膜の光取り出し面上に酸化物又は窒化物からなる透明膜を形成する工程と、前記透明膜上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離した状態に応じて前記マスク材料層にパターンを形成する工程と、前記マスク材料層に形成されたパターンをマスクにして前記透明膜をエッチングすることにより、該透明膜に微小凹凸を形成する工程とを含むことを特徴とする半導体発光素子の製造方

法。

【請求項14】前記ブロックコポリマーとして、芳香環含有ポリマー鎖とアクリル系ポリマー鎖から構成される材料を用いたことを特徴とする請求項9～13の何れかに記載の半導体発光素子の製造方法。

【請求項15】前記ブロックコポリマーはポリスチレンとポリメタクリ酸メチルから構成され、前記アニール処理によりブロックコポリマーをポリスチレンとポリメタクリ酸メチルに相分離した後、エッティング処理によりポリスチレンのパターンを残すことを特徴とする請求項14記載の半導体発光素子の製造方法。

【請求項16】前記ブロックコポリマーはポリスチレンとポリメタクリ酸メチルから構成され、前記アニール処理によりブロックコポリマーをポリスチレンとポリメタクリ酸メチルに相分離した後、電子線の照射、現像、リソス処理によりポリスチレンのパターンを残すことを特徴とする請求項14記載の半導体発光素子の製造方法。

【請求項17】前記ブロックコポリマーとして、芳香環含有ポリマー鎖と脂肪族二重結合ポリマー鎖から構成される材料を用いたことを特徴とする請求項9～13の何れかに記載の半導体発光素子の製造方法。

【請求項18】前記ブロックコポリマーはポリスチレンとポリイソプレンで構成され、前記アニール処理によりブロックコポリマーをポリスチレンとポリイソプレンに相分離した後、オゾン処理によりポリスチレンのパターンを残すことを特徴とする請求項17記載の半導体発光素子の製造方法。

【請求項19】前記マスク材料層に形成されたパターンをマスクにして前記光取り出し面をエッティングする工程として、R I Eによるドライエッティング或いはウェットエッティングを行うことを特徴とする請求項10～13の何れかに記載の半導体発光素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、発光ダイオード(LED)や半導体レーザ(LD)等の半導体発光素子に係わり、特に光取り出し面の粗面化をはかった半導体発光素子及びその製造方法に関する。

##### 【0002】

【従来の技術】従来より、高輝度の発光ダイオードは、半導体基板上にダブルヘテロ構造等からなる発光部を形成し、その上に電流拡散層を形成して構成される。この発光ダイオードを樹脂にてパッケージする場合、電流拡散層の上部は、素子保護のための透明樹脂で覆われた構造となっている。

【0003】この構造では、電流拡散層(屈折率:3.1～3.5)と透明樹脂(屈折率:1.5程度)との間の臨界角は25～29度となり、これより入射角が大きくなる光は全反射し、発光素子外部に放出される確率が著しく低下する。このため、実際に発生した光の取り出

し効率は20%程度になっているのが現状である。

【0004】なお、電流拡散層の表面を粗面化する方法として、塩酸、硫酸、過酸化水素、若しくはこれらの混合液で処理してチップ表面を粗面化する方法が知られている(特開2000-299494号、特開平4-354382号公報)。しかしながら、これらの方法では、基板の結晶性の影響を受け、露出面方位により粗面化できる面とできない面が発生する。このため、常にチップ上面が粗面化できるとは限らず、光取り出し効率の向上に制約があり、高輝度化が困難であった。

##### 【0005】

【発明が解決しようとする課題】このように従来、樹脂にてパッケージする発光ダイオードにおいては、発光層を含む半導体多層膜の最上層と透明樹脂との境界で、界面に斜め方向から入射する光が全反射し、光取り出し効率が低下するという問題があった。また、この問題は発光ダイオードに限るものではなく、面発光型の半導体レーザに関しても同様に言えることである。

【0006】本発明は、上記事情を考慮して成されたもので、その目的とするところは、光取り出し面における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかり得る半導体発光素子及びその製造方法を提供することにある。

##### 【0007】

【課題を解決するための手段】(構成) 上記課題を解決するために本発明は次のような構成を採用している。

【0008】即ち本発明は、基板上に発光層を含む半導体多層膜を積層してなる半導体発光素子において、前記発光層からの光を外部に取り出すための光取り出し面に大きさの異なる微小凹凸が形成され、該凹凸における凸部は錐体形状であり、該凸部のほぼ全体は、高さhが100nm以上、底辺の長さdが10～500nmの分布となっていることを特徴とする。

【0009】また本発明は、基板上に発光層を含む半導体多層膜を積層してなる半導体発光素子の製造方法において、前記発光層からの光を外部に取り出すための光取り出し面上にブロックコポリマーを溶解した溶液を塗布してマスク材料層を形成する工程と、前記マスク材料層に対してアニール処理を施すことにより前記ブロックコポリマーを相分離する工程と、前記相分離したマスク材料層を用いて前記光取り出し面をエッティングすることにより、該光取り出し面に微小凹凸を形成する工程とを含むことを特徴とする。

【0010】(作用) 本発明によれば、上記のように規定された微小凹凸を光取り出し面に形成することにより、光取り出し面における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることが可能となる。また、半導体結晶内部での多重反射による内部吸収損失を小さくでき、温度上昇が極めて小さい発光素子を実現することができ

る。また、光取り出し面に対してブロックコポリマーを用いた粗面化処理を行うことにより、下地の結晶方位に依存することなく、微小凹凸を均一に形成することが可能となる。

#### 【0011】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0012】(第1の実施形態) 図1は、本発明の第1の実施形態に係わるLEDの素子構造を示す断面図である。

【0013】図中10はn型のGaP基板であり、この基板10上にn型InAlPクラッド層11、InGaAlP活性層12、p型InAlPクラッド層13等を含むヘテロ構造部14が形成され、その上にp型のGaP電流拡散層15が形成されている。電流拡散層15上的一部分にはp側電極(上部電極)16が形成され、基板10の裏面側にはn側電極(下部電極)17が形成されている。そして、活性層12における発光光は、電流拡散層15の電極16を形成していない面から取り出すようになっている。

【0014】ここまで的基本構成は従来素子と実質的に同じであるが、これに加えて本実施形態では、電流拡散層15の電極16を形成していない露出表面に微小凹凸18が形成されている。この微小凹凸18は、後述するブロックコポリマーを用いた処理により形成され、図2(a)に示すような形状となっている。なお、図2において、hは微小凹凸18における凸部の高さ、dは凸部の底辺の長さ(幅)を示している。

【0015】ここで、凸部の断面形状は三角錐形状であり、この凸部の幅dは10~500nm、高さhは100nm以上の分布、頂角は25~80度の範囲であれば、光取り出し効率向上の効果が十分に認められた。また、その形状の素子内のばらつきは、例えば幅100±50nm、高さ200±100nmの範囲であった(素子内の幅の分布±50%、高さの分布±50%)。

【0016】また、微小凹凸18の形状は図2(a)に示す形状に限らず、図2(b)に示すように凸部の先端に微小透明部が残ったものでもよく、図2(c)に示すように凸部の先端部が平坦に加工されたものであってもよい。さらに、図2(d)に示すように、凸部の先端部が平坦に加工されると共にその部分に微小透明部が残ったものであってもよい。

【0017】次に、本実施形態のLEDの製造工程について説明する。

【0018】まず、図3(a)に示すように、n-GaP基板10上に、ヘテロ構造部14と電流拡散層15をエピタキシャル成長させ、電流拡散層15上的一部分にp側電極16を形成し、基板10の裏面側にn側電極17を形成する。これまでの工程は従来方法と基本的に同様である。

【0019】次いで、図3(a)に示す基板に対し、図3(b)に示すように、ブロックコポリマーを溶剤に溶解した溶液をスピンドルで回転数2500rpmで塗布した後、110℃、90秒でプリベークして溶剤を気化することにより、マスク材料層31を形成する。ここで、ブロックコポリマーはポリスチレン(PS)とポリメタクリル酸メチル(PMMA)で構成されている。続いて、窒素雰囲気中で210℃、4時間のアニールを行い、ブロックコポリマーのPSとPMMAの相分離を行った。

【0020】次いで、相分離したブロックコポリマー付き基板を、CF<sub>4</sub>:30scm、圧力1.33Pa、パワー100WでRIEすることにより、相分離した膜のPSとPMMAをエッチングする。このとき、PSとPMMAのエッチング速度差によりPMMAが選択的にエッチングされるため、図3(c)に示すように、PSのパターン32が残る。

【0021】次いで、図3(d)に示すように、PSのパターン32をマスクにして、BC1<sub>3</sub>=23scm, N<sub>2</sub>=7scmのガスを用い、圧力0.2Pa、パワー500Wの条件で約100秒だけRIEすると、電流拡散層15の表面に微細な凹凸パターンが形成される。この代わりに、BC1<sub>3</sub>=8scm, C1<sub>2</sub>=5scm、Ar=37scmのガスで、圧力0.2Pa、パワー500Wの条件で約100秒だけRIEしてもよい。この後、O<sub>2</sub>アッシャーにより残ったPSを除去することにより、前記図1に示す構造が得られる。

【0022】本実施形態では、上記したようなブロックコポリマーを用いた処理により、光取り出し面に、凸部の底辺の長さが100±50nm程度、高さが200±100nm程度の三角錐形状の微小凹凸を均一性良く形成することができた。また、凸部の頂角は20~40度であった。そして、このような微小凹凸の存在により、光取り出し面における入射角が大きくなても光を外部に取り出すことが可能となり、透明樹脂にて封止した場合にあっても光取り出し効率の向上をはかることができる。

【0023】本発明者らの実験によれば、微小凹凸における凸部の高さh=100nmで約1.3倍、h=200nmで約1.5倍の光取り出し効率の向上が確認された。また、光取り出し効率の向上効果は、凸部の高さhが100nm以上で有意差(1割以上の向上)が認められ、高さhが200nmを越えると1.5倍から1.6倍になりそれ以上は殆ど変わらなかった。また、凸部の幅dは10~500nmの範囲であれば、光取り出し効率向上の効果が十分に認められた。

【0024】なお、微小凹凸に関して、必ずしも凹凸の全てが上記の条件に入っている必要はなく、大部分(例えば90%以上)が上記の条件を満足するものであれば十分な効果が得られる。さらに、上記のような微小凹凸

はブロックコポリマーを用いた処理によって初めて得られるものであり、従来の粗面加工やエッティング加工では到底得られないものであった。EBのような微細化リソグラフィ技術を用いれば上記の微小凹凸を作成することも可能ではあるが、大幅なコストアップにつながるので、本実施形態のようにポリマーを用いた形成方法で安価に作る方法が現実的である。

【0025】また、ドライエッティング速度の差が大きい典型的なブロックコポリマーは、芳香環含有ポリマー鎖とアクリル系ポリマー鎖とを含有するものである。芳香環含有ポリマー鎖の例には、ビニルナフタレン、ステレン及びこれらの誘導体から選択される少なくとも1種のモノマーを重合することにより合成されたポリマー鎖が含まれる。アクリル系ポリマー鎖の例には、アクリル酸、メタクリル酸、クロトン酸及びこれらの誘導体から選択される少なくとも1種のモノマーを重合することにより合成されたポリマー鎖が含まれる。典型的なものとして、ポリスチレンとポリメチルメタクリレートのブロックポリマーがあり、本実施形態ではこれを用いている。

【0026】このように本実施形態によれば、光取り出し面に微小凹凸を均一性良く形成できるので、光取り出し面における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることができる。従って、LEDの高輝度化に寄与することができる。また、単に塩酸、硫酸、過酸化水素若しくはこれらの混合液を用いて基板表面を粗面化する処理とは異なり、基板の面方位などに拘わらず微小凹凸を効率良く形成することができる。

【0027】また、光取り出し面に形成された微小凹凸により、従来では内部多重反射により活性層で再吸収された光も外部に取り出されるので、より高温まで(～100°C以上)の動作が可能になった。

【0028】(第2の実施形態) 本実施形態の特徴は、第1の実施形態におけるPSパターンの形成工程(図3(c))として、CF<sub>4</sub>でRIEする代わりにO<sub>2</sub>でRIEすることにある。

【0029】第1の実施形態と同様に、電流拡散層15上にブロックコポリマーのマスク材料層31を形成し、ブロックコポリマーの相分離を行った後、O<sub>2</sub>:30sc cm、圧力13.3Pa、パワー100WでRIEすることにより、相分離した膜のPSとPMMAをエッティングする。O<sub>2</sub>でドライエッティングした場合、CF<sub>4</sub>と比べ下地基板まで削ることはできないが、PS-PMMAブロックのPMMAを比較的忠実に削り取ることができた。この後、第1の実施形態と同様のプロセスを行った。即ち、PSのパターン32をマスクにして、C<sub>l2</sub>でRIEすることにより、電流拡散層15の表面に微細な凹凸パターンを形成した。この後、O<sub>2</sub>アッシャーにより残ったPSを除去した。

【0030】この結果、光取り出し面である電流拡散層15の表面の電極、配線パターン以外の表面に、第1の実施形態と同様に、幅が100±50nm程度の分布で、高さが200±100nm程度の凹凸パターンを形成することができた。従って、第1の実施形態と同様の効果が得られる。

【0031】(第3の実施形態) 本実施形態の特徴は、第1の実施形態におけるPSパターンの形成工程(図3(c))として、CF<sub>4</sub>でRIEする代わりに、電子線の照射による主鎖切断を利用するにある。

【0032】第1の実施形態と同様に、電流拡散層15上にブロックコポリマーのマスク材料層31を形成し、ブロックコポリマーの相分離を行った後、電子線を一括全面照射することによりPMMAの主鎖を切断する。続いて、現像液(例えばMIBKとIPAの混合液)で現像し、さらにリンスし、PMMAだけ溶解除去することにより、PSのパターン32を残す。

【0033】次いで、第1の実施形態と同様に、PSのパターン32をマスクにして、C<sub>l2</sub>でRIEすることにより、電流拡散層15の表面に微細な凹凸パターンを形成した。その後、残ったPSパターンをアセトンで除去することによって、第1の実施形態と同様な微小な凹凸パターンを電流拡散層15の表面に形成することができた。

【0034】この結果、光取り出し面である電流拡散層15の表面の電極、配線パターン以外の表面に、幅が100±50nm程度の分布で、高さが200±100nm程度の凹凸パターンを形成することができた。従って、第1の実施形態と同様の効果が得られる。

【0035】(第4の実施形態) 本実施形態は、ブロックコポリマーとして、芳香環含有ポリマー鎖と脂肪族二重結合ポリマー鎖から構成される材料を用いたことを特徴とする。

【0036】脂肪族二重結合ポリマーとは、ポリマー主鎖中に二重結合を含むポリマーであり、オゾンなどの酸化によりこの二重結合が切断される性質を持つ。このため、芳香環含有ポリマー鎖と脂肪族二重結合ポリマー鎖で構成されたブロックコポリマーの片方を選択的に除去することができる。具体的には、ポリジエン系ポリマーとその誘導体が挙げられる。典型的なものとして、ポリスチレンとポリブタジエンのブロックコポリマーやポリスチレンとポリイソプレンのブロックコポリマーがある。

【0037】本実施形態では、ブロックコポリマーに、ポリスチレン(PS)-ポリイソプレンの共重合体を用いて、第1の実施形態と同様の方法で形成し相分離したブロックコポリマー付き基板を作成した。これをオゾンを発生させた中に放置し、ポリイソプレンを除去した。その結果、PSのパターンが残った。この後、第1の実施形態と同様のプロセスを行った。

【0038】その結果、光取り出し面である電流拡散層15の表面の電極、配線パターン以外の表面に、幅が $100 \pm 50$  nm程度の分布で、高さが $200 \pm 100$  nm程度の凹凸パターンを形成することができた。従って、第1の実施形態と同様の効果が得られる。なお、ブロックコポリマーにポリスチレンーポリブタジエンの共重合体を用いても、同様のプロセスで同程度の凹凸が形成できた。

【0039】(第5の実施形態) 図4は、本発明の第5の実施形態に係わるLEDの製造工程を示す断面図である。なお、図3と同一部分には同一符号を付して、その詳しい説明は省略する。

【0040】本実施形態が、先に説明した第1の実施形態と異なる点は、電流拡散層の表面に微小凹凸を形成する代わりに、電流拡散層上に形成された透明層に微小凹凸を形成することにある。

【0041】まず、前記図3(a)に示す構造を作成した後に、図4(a)に示すように、電流拡散層15上に $\text{SiO}_2$ 膜、 $\text{SiN}_2$ 膜、或いは $\text{TiO}_2$ 膜などの透明膜41をスパッタ或いはCVD法、或いは塗布法などで形成した。

【0042】次いで、図4(b)に示すように、第1の実施形態と同様に、PSとPMMAからなるブロックコポリマーを溶剤に溶解した溶液を透明膜41上にスピンドルコートで塗布した後、プリベークして溶剤を気化することにより、マスク材料層31を形成した。さらに、窒素雰囲気中でアニールを行い、ブロックコポリマーのPSとPMMAの相分離を行った。

【0043】次いで、図4(c)に示すように、相分離したブロックコポリマー付き基板を、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{C}_4\text{F}_8$ 、 $\text{SF}_6$ 等のガス、圧力 $5 \sim 10$  Pa、パワー $100 \sim 1000$  WでRIEすることにより、PSのパターン32を形成すると共に、透明膜41にPSのパターン32を転写した。

【0044】その後、図4(d)に示すように、 $\text{O}_2$ アッシャーにより残ったPSを除去することにより、透明膜41の表面に微小凹凸を有する構造が得られた。この微小凹凸は、第1の実施形態と同様に、幅が $100 \pm 50$  nm程度、高さ $h$ が $200 \pm 100$  nm程度で均一性の良いものであった。

【0045】なお、図4(d)に示す工程の後に、透明膜41のパターンをマスクにして第1の実施形態と同様に、電流拡散層15をエッチングし、HF、 $\text{NH}_4\text{F}$ 等の薬液で透明膜41を除去することにより、第1の実施形態と同様に電流拡散層15の表面に微小な凹凸を形成することができる。

【0046】このように本実施形態によれば、光取り出し面としての透明膜41又は電流拡散層15の表面に微小凹凸を均一性良く形成できるので、光取り出し面における光の全反射の影響で光取り出し効率が低下するのを

防止することができる。従って、第1の実施形態と同様の効果が得られる。

【0047】(第6の実施形態) 図5は、本発明の第6の実施形態に係わるLEDの素子構造を示す断面図である。

【0048】図5(a)では、n型GaN基板50上に、n型GaNバッファ層51、n型GaNクラッド層52、InGaN/GaNからなるMQW活性層53、p型AlGaNキャップ層54、p型GaNコンタクト層55が成長形成され、コンタクト層55上の一部にp側電極56が形成され、基板50の裏面にn側電極57が形成されている。そして、コンタクト層55の電極57を形成していない露出面に、第1～第5の実施形態で説明したようなブロックコポリマーを用いた方法で微小凹凸55aが形成されている。

【0049】これは、基板50と反対側の面から光を取り出す方式(Junction Upタイプ)であり、光取り出し面であるコンタクト層55(必ずしもコンタクト層ではなくてもよく、誘電体膜でもよい)の表面に微小凹凸55aが均一性良く形成されるため、光取り出し効率の向上をはかることができる。

【0050】図5(b)では、(a)と同様に、n型GaN基板50上に各層51～55を形成した後に、コンタクト層55上の全面にp側電極57が形成され、基板50の裏面側の一部にn側電極58が形成されている。そして、基板50の裏面側の電極58を形成していない露出面に、第1～第5の実施形態で説明したような方法で微小凹凸50aが形成されている。

【0051】これは、基板50側から光を取り出す方式(Junction Downタイプ)であり、光取り出し面である基板50の裏面に微細凹凸50aが均一性良く形成されるため、光取り出し効率の向上をはかることができる。

【0052】また、MQW活性層53から出た光は、各端面で反射され、上面の微小凹凸50aから取り出しができ、チップ側面の光密度を低減することができるため、チップ側面にある樹脂劣化を防止することができ、長時間動作しても樹脂変色が起こらない発光素子が実現できる。

【0053】(第7の実施形態) 図6は、本発明の第7の実施形態に係わるLEDの素子構造を示す断面図である。

【0054】図6(a)では、サファイア基板60上に、AlGaNバッファ層61、n型GaNコンタクト層62、InGaN/GaNからなるMQW活性層63、p型AlGaNキャップ層64、p型GaNコンタクト層65が成長形成され、コンタクト層65の上にITO等の透明電極66が形成されている。また、透明電極66からn型コンタクト層62の途中まで一部エッチング除去されている。

【0055】そして、透明電極66上的一部分にはp側電

極67が形成され、露出したコンタクト層62の表面上にn側電極68が形成されている。さらに、透明電極66上の電極67を形成していない露出面に、第1～第5の実施形態で説明したような方法で微小凹凸66aが形成されている。

【0056】これは、基板60と反対側の面から光を取り出す方式(Junction Up タイプ)であり、光取り出し面である透明電極66の表面に微小凹凸66aが均一性良く形成されるため、光取り出し効率の向上をはかることができる。

【0057】図6(b)では、(a)と同様に、サファイア基板60上に各層61～65を形成した後に、p型コンタクト層65からn型コンタクト層62の途中まで一部をエッチング除去した後に、p型コンタクト層65上の全面にp側電極67が形成され、n型コンタクト層62の露出面にn側電極68が形成されている。そして、基板60の裏面全体に、第1～第5の実施形態で説明したような方法で微小凹凸60aが形成されている。

【0058】これは、基板60側から光を取り出す方式(Junction Down タイプ)であり、光取り出し面である基板60の裏面に微小凹凸60aが均一性良く形成されるため、光取り出し効率の向上をはかることができる。

【0059】(第8の実施形態)図7は、本発明の第8の実施形態に係わるLEDの素子構造を示す断面図である。

【0060】p型GaP基板70上にp型GaPバッファ層71が形成され、その上に、p型InGaP接着層72、p型InAlPクラッド層73、InGaAlP活性層74、n型InAlPクラッド層75、n型InGaAlP電流拡散層76が形成されている。

【0061】電流拡散層75上的一部には、n型GaAsコンタクト層77、i型InAlPブロック層78、i型GaAsブロックカバー層79が形成され、その上面にn側電極81が形成されている。また、基板70の裏面側にはp側電極82が形成されている。そして、電流拡散層75上の電極81が形成されていない露出面には、第1～第5の実施形態と同様に、微小凹凸83が形成されている。

【0062】次に、本実施形態のLEDの製造方法について、図8を参照して説明する。

【0063】まず、図8(a)に示すように、n型GaAs基板90上に、n型GaAsバッファ層91(厚さ0.5μm:キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ )、i型InGaPエッチングストップ層92(厚さ0.2μm)、i型GaAsブロックカバー層79(厚さ0.1μm)、i型InAlPブロック層78(厚さ0.2μm)、n型GaAsコンタクト層77(厚さ0.1μm:キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$ )、n型InGaAlP電流拡散層76(厚さ1.5μm:キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ )、n型InAlPクラッド層75(厚

さ0.6μm:キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ )、InGaAlP-MQW活性層74(厚さ0.72μm:波長621nm)、p型InAlPクラッド層73(厚さ1μm:キャリア濃度 $4 \times 10^{17} \text{ cm}^{-3}$ )、p型InGaP接着層72(厚さ0.05μm:キャリア濃度 $3 \times 10^{18} \text{ cm}^{-3}$ )、n型InAlPキャップ層95(厚さ0.15μm:キャリア濃度 $2 \times 10^{15} \text{ cm}^{-3}$ )を上記順に成長形成した。

【0064】次いで、図8(b)に示すように、キャップ層95を除去した後に、露出した接着層72に、厚さ150μmのp型GaP基板70上にp型GaP層71(厚さ0.2μm:キャリア濃度 $3 \times 10^{18} \text{ cm}^{-3}$ )を成長した支持基板を接着する。続いて、GaAs基板90をエッチング除去し、さらにバッファ層91及びエッチングストップ層92をエッチング除去する。

【0065】次いで、図8(c)に示すように、ブロックカバー層79、ブロック層78、コンタクト層77を電極パターンにエッチングした後に、ブロックカバー層79上にn側電極81を形成する。さらに、基板70の裏面側にp側電極82を形成する。

【0066】ここで、光取り出し側の電極パターンは基本的には素子上面の中央部に円形に形成されているが、周辺部にも細いラインが形成されている。周辺部ではブロックカバー層79及びブロック層78は除去され、コンタクト層77が露出している。従って、n側電極81は、中央部ではブロックカバー層79及びブロック層78を介してコンタクト層77上に、周辺部ではコンタクト層77上に直接形成されている。また、p側電極82は基板70の裏面全面に形成してもよいが、n側電極81を形成していない部分直下の発光効率を高めるために、中央部を除いて4箇所にそれぞれ円形パターンに形成されている。

【0067】これ以降は、第1～第5の実施形態と同様に、ブロックコポリマーを用いて電流拡散層76の表面に微小凹凸を形成することにより、前記図7に示す構造が得られることになる。

【0068】このように本実施形態においては、光取り出し面である電流拡散層76の電極81を形成していない面に微小凹凸83が均一性良く形成されるため、光取り出し効率の向上をはかることができる。従って、第1の実施形態と同様の効果が得られる。

【0069】(第9の実施形態)本実施形態は、SiO<sub>2</sub>、SiNなどの酸化膜或いは窒化膜をマスクにして、下の基板を加工する方法である。

【0070】まず、図9(a)に示すように、前記図7の構造におけるInGaAlP電流拡散層76上にSiO<sub>2</sub>膜であるSOG膜91を膜厚0.1μmスピニ塗布で形成し、その上に第1の実施形態と同様にポリマー92を形成し、層分離を行う。その後、O<sub>2</sub>=30scm<sup>3</sup>、圧力13Pa、パワー1000Wの条件で約30秒だけR

IEすることにより、ポリマーパターンを形成する。

【0071】次いで、ポリマーパターンをマスクに用い、SOG膜91を $\text{CF}_4 = 30\text{sccm}$ 、圧力1.3Pa、パワー100Wの条件で約100秒だけRIEし、図9(b)に示すようにSOGパターンを形成する。

【0072】次いで、 $\text{BCl}_3 = 8\text{sccm}$ ,  $\text{Cl}_2 = 5\text{sccm}$ ,  $\text{Ar} = 37\text{sccm}$ 、圧力0.2Pa、パワー500Wの条件で約100秒だけRIEし、図9(c)に示すように、InGaA1P電流拡散層76の表面に、幅50~300nm、高さ100~500nmの微細な三角錐形状の微小凹凸83を形成する。このとき、三角錐形状の頂点にはSOG(酸化膜)91が残っていても、残っていないなくても効果は同じである。

【0073】本実施形態では、InGaA1P電流拡散層76の表面に、微小凹凸の凸部として、幅100±50nm、高さ200±100nmの三角錐形状を均一に形成することができた。図10は、この微小凹凸を示す電子顕微鏡写真である。

【0074】(第10の実施形態) 本実施形態は、前記図9の場合から更に多層レジスト方式を適用して下の基板を加工する方法である。

【0075】まず、図11(a)に示すように、InGaA1P電流拡散層76上に下層用のレジスト(ポジ型ノボラックレジスト、このレジストには感光剤が入っていないなくてもよい)95を膜厚1.0μmで塗布し、その上に前記図9と同様にSOG膜91及びポリマー92を形成する。そして、ポリマー92の層分離を行った後に、 $\text{O}_2 = 30\text{sccm}$ 、圧力1.3Pa、パワー100Wの条件で約30秒だけRIEすることにより、ポリマーパターンを形成する。

【0076】次いで、前記図9と同様に、ポリマーパターンをマスクにSOG膜91をRIEし、続いて下層レジストを $\text{O}_2 = 8\text{sccm}$ ,  $\text{N}_2 = 80\text{sccm}$ 、圧力2Pa、パワー300Wの条件でRIEすることにより、図11(b)に示すように、レジストパターンを形成する。

【0077】次いで、前記図9と同じ条件でInGaA1P電流拡散層76をRIEした後、 $\text{O}_2$ アッシャーで下層レジスト95を剥離することにより、図11(c)に示すように、InGaA1P電流拡散層76の表面に幅50~200nm、高さ100~500nmの微細な三角錐形状の凹凸83を形成する。

【0078】本実施形態では、InGaA1P電流拡散層76の表面に、微小凹凸の凸部として、幅100±50nm、高さ300±150nmの三角錐形状を均一に形成することができた。

【0079】なお、本発明は上述した各実施形態に限定されるものではない。マスク材料層を形成するためのブロックコポリマーは、芳香環含有ポリマー鎖とアクリル系ポリマー鎖から構成される材料、又は芳香環含有ポリマー鎖と脂肪族二重結合ポリマー鎖から構成される材料

に限定されるものではなく、相分離した状態で一方を選択的に除去できるような材料であればよい。また、微小凹凸を形成する層は必ずしも電流拡散層や透明膜に限るものではなく、光取り出し側の最上層に位置しポリマーをマスクにエッチング加工できるものであればよい。

【0080】また、微小凹凸における凸部は必ずしも三角錐形状に限るものではなく、錐体形状であれば実施形態で説明したものと同様の効果が得られる。また、電極部以外のチップ各面(表面、側面)に微小凹凸の錐体形状が本発明の方法で形成されてもよい。さらに第1の実施例等では、上部電極、下部電極形成後の光取出し表面に微小な凹凸の三角錐形状を形成しているが、電極形成前に微小な凹凸を形成してから電極を形成しても何らその効果かが変わることなく、問題はない。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0081】

【発明の効果】以上詳述したように本発明によれば、光取り出し面にブロックコポリマーを用いて微小凹凸を形成することにより、光取り出し面における光の全反射の影響で光取り出し効率が低下するのを防止することができ、光取り出し効率の向上をはかることができる。

#### 【図面の簡単な説明】

【図1】第1の実施形態に係わるLEDの素子構造を示す断面図。

【図2】第1の実施形態における微小凹凸の状態を示す断面図。

【図3】第1の実施形態に係わるLEDの製造工程を示す断面図。

【図4】第5の実施形態に係わるLEDの製造工程を示す断面図。

【図5】第6の実施形態に係わるLEDの素子構造を示す断面図。

【図6】第7の実施形態に係わるLEDの素子構造を示す断面図。

【図7】第8の実施形態に係わるLEDの素子構造を示す断面図。

【図8】第8の実施形態に係わるLEDの製造工程を示す断面図。

【図9】第9の実施形態に係わるLEDの製造工程を示す断面図。

【図10】第9の実施形態における表面凹凸の様子を示す顕微鏡写真。

【図11】第10の実施形態に係わるLEDの製造工程を示す断面図。

#### 【符号の説明】

10…n型GaP基板

11…n型InAlPクラッド層

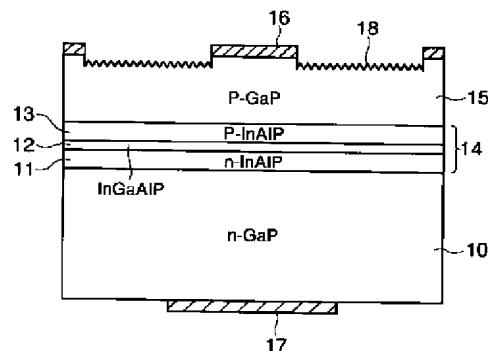
12…InGaA1P活性層

13…p型InAlPクラッド層

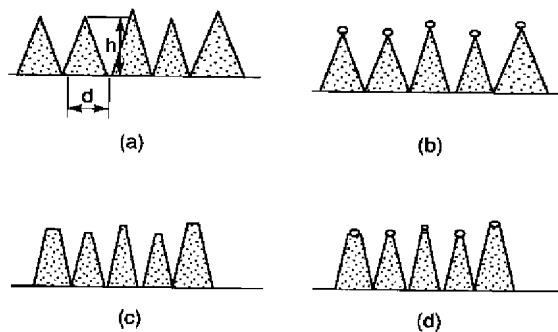
1 4 …ヘテロ構造部  
1 5 … p 型 GaP 電流拡散層  
1 6 … p 側電極（上部電極）  
1 7 … n 側電極（下部電極）

1 8 …微小凹凸  
3 1 …マスク材料層  
3 2 …PS のパターン  
4 1 …透明膜

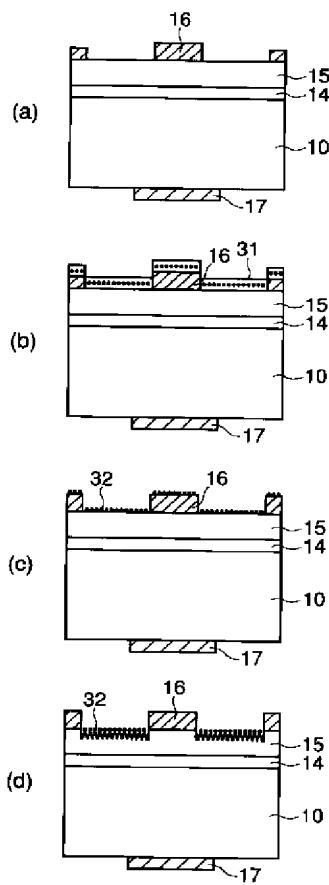
【図1】



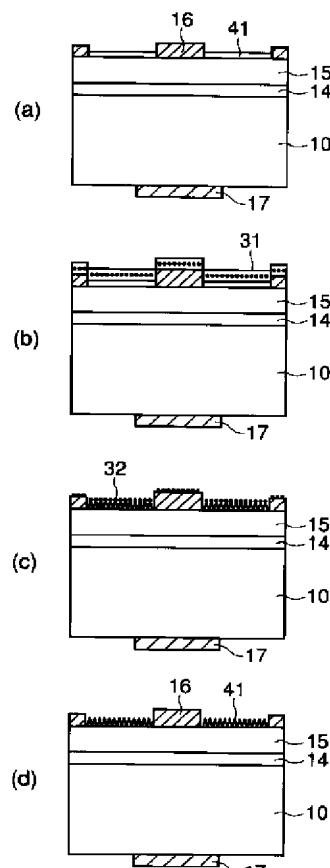
【図2】



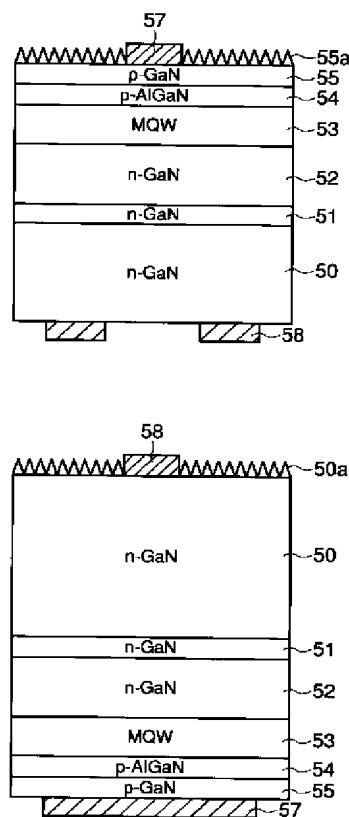
【図3】



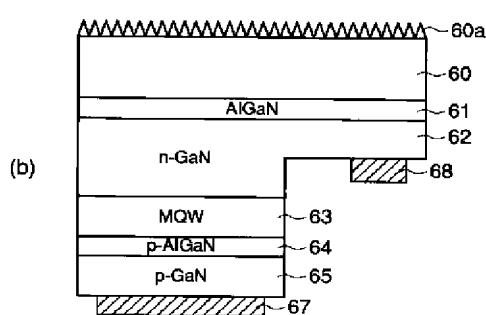
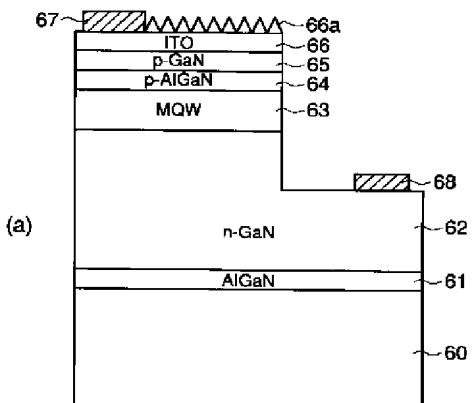
【図4】



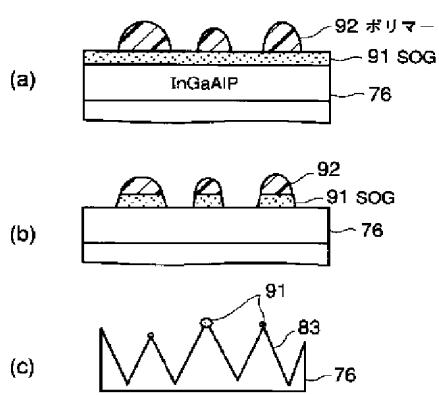
【図5】



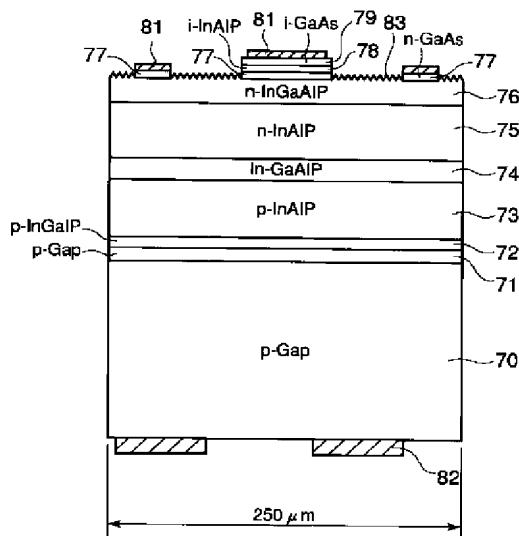
【図6】



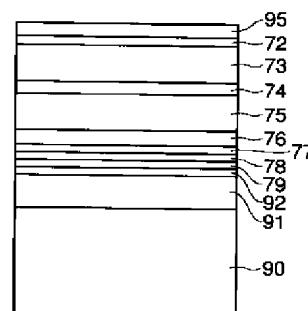
【図9】



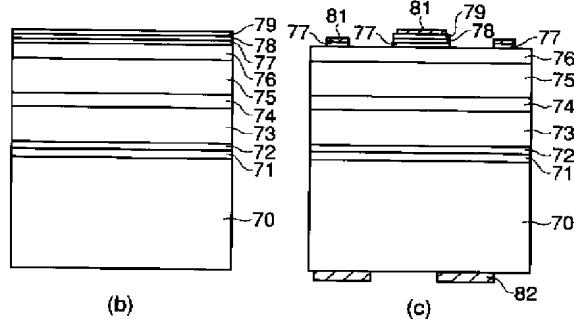
【図7】



【図8】



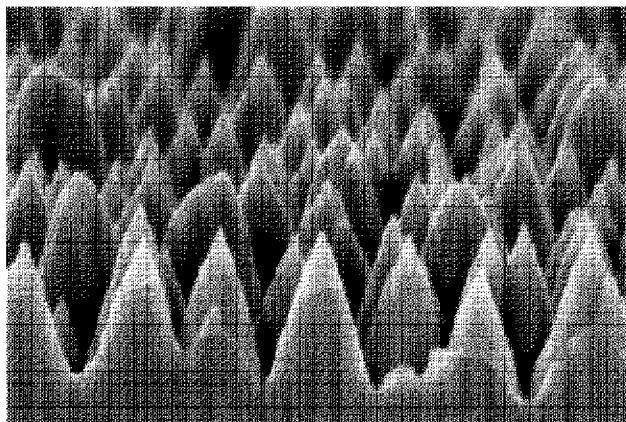
(a)



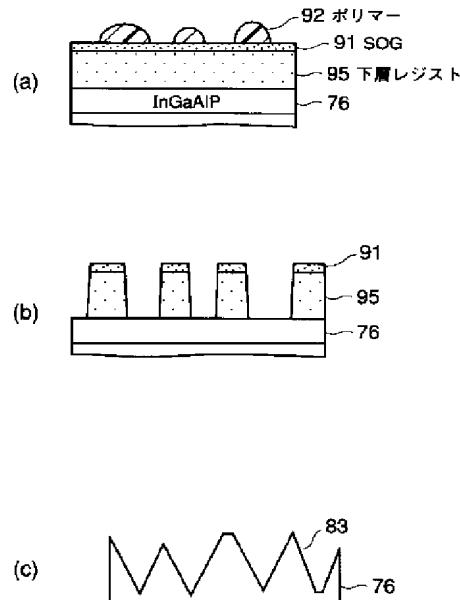
(b)

(c)

【図10】



【図11】



---

フロントページの続き

(72) 発明者 大橋 健一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
(72) 発明者 山下 敦子  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
(72) 発明者 鷲塚 章一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
(72) 発明者 赤池 康彦  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 吉武 春二  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
(72) 発明者 江頭 克  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内  
(72) 発明者 浅川 鋼児  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72) 発明者 藤本 明  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
F ターム(参考) 5F004 AA16 DA01 DA11 DA25 DB19  
DB23 EA03 EB08  
5F041 AA03 CA04 CA05 CA12 CA13  
CA34 CA37 CA40 CA46 CA73  
CA74